

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-130802

(43)Date of publication of application : 19.05.1995

(51)Int.Cl.

H01L 21/66
G01R 1/073

(21)Application number : 05-274626

(71)Applicant : HITACHI LTD
HITACHI HOKKAI
SEMICONDUCTOR LTD

(22)Date of filing : 02.11.1993

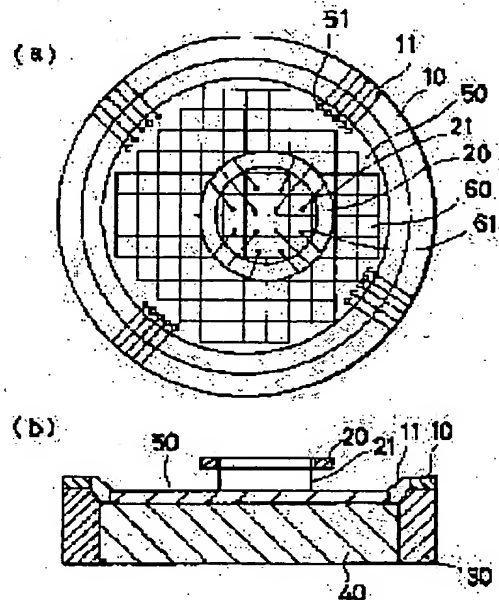
(72)Inventor : KATO YOSHIHIRO

(54) MANUFACTURE OF SEMICONDUCTOR WAFER, AND SEMICONDUCTOR TESTER

(57)Abstract:

PURPOSE: To improve the throughput in semiconductor testing by increasing the number of chips to be tested for electric characteristics at the same time.

CONSTITUTION: A semiconductor tester is used for the probe inspection of chips on a wafer. An input probe card 10 supplies the input signal into a semiconductor wafer 50. An output probe card 20 transmits the output signal into a tester. The input probe card 10 is mounted on a probe card stage 30. A wafer is mounted on a wafer stage 40. The apparatus is constituted of these parts. The input signal is supplied into input pads 51 through the input probe card 10. The signal is further supplied into all chips 60 from the input pads 51. Then, the probe inspection is performed. The result is outputted into the tester through the output probe card 20. The number of the simultaneous measurement of the chips can be improved by this probe-card dividing method.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

特開平 7-130802

(43) 公開日 平成7年(1995)5月19日

(51) Int. Cl.⁶

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 21/66

E 7630-4 M

B 7630-4 M

G 0 1 R 1/073

E

審査請求 未請求 請求項の数 3

O L

(全 5 頁)

(21) 出願番号 特願平5-274626

(22) 出願日 平成5年(1993)11月2日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(71) 出願人 000233594

日立北海セミコンダクタ株式会社

北海道亀田郡七飯町字中島145番地

(72) 発明者 加藤 芳浩

北海道亀田郡七飯町字中島145番地 日立

北海セミコンダクタ株式会社内

(74) 代理人 弁理士 筒井 大和

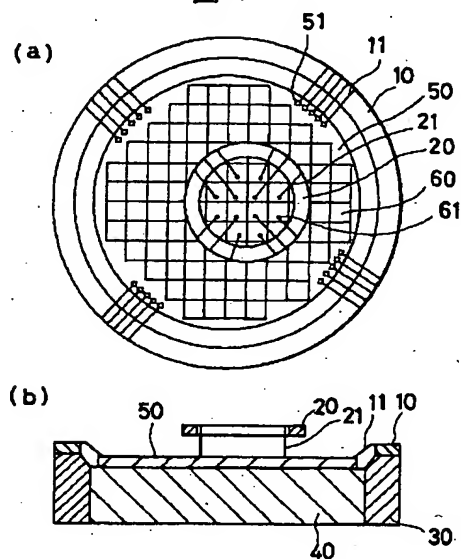
(54) 【発明の名称】 半導体ウェハの製造方法および半導体検査装置

(57) 【要約】

【目的】 半導体検査工程において、電気的特性の検査を同時に行うチップ数を増加することにより、半導体検査工程のスループットを向上させる。

【構成】 ウェハ上のチップのプロブ検査に用いられる半導体検査装置とされ、入力信号を半導体ウェハ50へ供給する入力用プロブカード10と、出力信号をテストに伝送する出力用プロブカード20と、入力用プロブカード10を搭載するプロブカード用ステージ30と、ウェハを搭載するウェハ用ステージ40とによって構成され、入力用プロブカード10を介して入力信号が入力用パッド51へ供給され、さらに入力用パッド51から全チップ60に供給されて、プロブ検査が行われ、その結果は出力用プロブカード20を介してテストに出力され、このプロブカードを分ける方法によりチップ60の同時測定数を向上させることができる。

図 1



- 10: 入力用プロブカード (入力系信号用プロブカード) 50: 半導体ウェハ
 11: 入力用プロブ針 51: 入力用パッド
 20: 出力用プロブカード (出力系信号用プロブカード) 60: チップ
 21: 出力用プロブ針 61: チップ内出力パッド
 30: プロブカード用ステージ
 40: ウェハ用ステージ

【特許請求の範囲】

【請求項1】 入力信号用のチップ内入力パッドと、出力信号用のチップ内出力パッドとが設けられた複数のチップが形成されている半導体ウェハであって、前記複数のチップの前記チップ内入力パッドに供給される共通した入力信号を短絡し、前記半導体ウェハの空領域の1カ所または数カ所に集合させ、その先端に入力用パッドを設けることを特徴とする半導体ウェハの製造方法。

【請求項2】 前記複数のチップの共通した信号または電源の信号線は、該複数のチップの間にあるダイシングライン内に配線が交差しないように、絶縁層に間に挟むことにより立体的に配線することを特徴とする請求項1記載の半導体ウェハの製造方法。

【請求項3】 請求項1または2記載の半導体ウェハの電気的特性の検査を、導電性のプローブ針が配列されたプローブカードを用いて行う半導体検査装置であって、前記プローブカードを、前記複数のチップへ入力信号を供給する前記入力用パッドに接触させ、前記半導体ウェハ上の所定の位置に固定される入力系信号用プローブカードと、該複数のチップにおける前記チップ内出力パッドに接触させ、該半導体ウェハ上の所定の範囲を可動される出力系信号用プローブカードとに分離することを特徴とする半導体検査装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、半導体ウェハの製造方法および半導体検査装置に関し、特に半導体ウェハ上のチップの電気的特性の検査における複数チップの同時測定技術に適用して有効な技術に関する。

【0002】

【従来の技術】 たとえば、半導体ウェハ（以下、ウェハと略称する）の電気的特性の検査（以下、プローブ検査と記す）工程において、ウェハ上の各チップを同時測定するためには、プローブカードのプローブ針数も増加させて、プローブ検査を行っている。また、プローブカードには、入力信号を処理する入力用プローブ針と出力信号を処理する出力用プローブ針が混在している。

【0003】 従って、プローブカード上におけるプローブ密度が上がり、プローブカード作製が技術的に困難になってきており、現状のプローブカード作製技術では、8個のチップを同時に測定することが限界と言われている。

【0004】

【発明が解決しようとする課題】 ところが、前記のような従来技術においては、入力信号を処理する入力用プローブ針と出力信号を処理する出力用プローブ針とが1枚のプローブカードに接続されるために、プローブカードのプローブ密度が上がり、一方テストによるチップの同時測定数が上がらないために、半導体検査工程が低スループットになるという欠点がある。

【0005】 この背景として、チップの同時測定数が1個から順次2個、4個、8個と増加してきたが、チップの同時測定数が増える度に、プローブカードに設けられるプローブ針も比例して増加している。

【0006】 このために、プローブカード上において、プローブ密度が上がり、チップの同時測定数がこれ以上大きい場合にはプローブカード作製が技術的に困難になってきており、プローブ針の高密度化から同時測定数の限界になりつつあるという問題がある。

【0007】 また、チップの同時測定数が増えると1枚のプローブカードに配置するプローブ針数が増え、プローブ針が高密度になるために、ウェハとのアライメント精度が悪くなるという問題もある。

【0008】 そこで、本発明の目的は、チップのプローブ検査の同時測定数を増加することにより、半導体検査工程のスループットを向上させる半導体検査装置を提供することにある。

【0009】 本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0010】

【課題を解決するための手段】 本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、下記のとおりである。

【0011】 すなわち、請求項1記載のウェハの製造方法は、入力信号用のチップ内入力パッドと、出力信号用のチップ内出力パッドとが設けられた複数のチップが形成されているウェハであって、複数のチップのチップ内入力パッドに供給される共通した入力信号を短絡し、ウェハの空領域の1カ所または数カ所に集合させ、その先端に入力用パッドを設けるものである。

【0012】 さらに、請求項2記載のウェハの製造方法は、複数のチップの共通した信号または電源の信号線を、複数のチップの間にあるダイシングライン内に配線が交差しないように、絶縁層に間に挟むことにより立体的に配線するものである。

【0013】 また、請求項3記載の半導体検査装置は、ウェハの電気的特性の検査を、導電性のプローブ針が配列されたプローブカードを用いて行う半導体検査装置であって、プローブカードを、複数のチップへ入力信号を供給する入力用パッドに接触させ、ウェハ上の所定の位置に固定される入力系信号用プローブカードと、複数のチップにおけるチップ内出力パッドに接触させ、ウェハ上の所定の範囲を可動される出力系信号用プローブカードとに分離するものである。

【0014】

【作用】 前記した半導体検査装置によれば、ウェハ上において、各チップの共通した入力信号のチップ内入力パッドをチップ外のダイシングラインを通り短絡し、ウェハ上の空領域の1カ所または数カ所に集め、その先端に

入力用パッドを付加する。

【0015】このため、1カ所または数カ所に集められた入力用パッドからテスト信号を複数のチップに供給することにより、これに短絡されている全チップに対し、テスト信号の供給が可能となる。

【0016】また、チップの同時測定数を増加させるには、各チップの出力信号を多数同時に測定する必要がある、それにはプローブカードの出力信号用のプローブ針を増加させなければならないが、入力系信号用プローブカードと出力系信号用プローブカードを分け、従来のウエハ上を可動とするプローブカードを、可動とする出力系信号用プローブカードと、別の固定された入力系信号用プローブカードとに分離することにより、チップの同時測定数を増加させることができる。

【0017】これにより、プローブカード1枚当たりのプローブ針本数が減り、チップの多数個同時測定の障害になっているプローブカードのプローブ密度を従来に比べて低下させることが可能となる。

【0018】

【実施例】以下、本発明の実施例を図面に基づいて詳細に説明する。

【0019】図1(a)、(b)は本発明の一実施例である半導体検査装置を示す平面図および断面図、図2は本実施例におけるウエハを示す拡大部分平面図、図3は本実施例におけるウエハを示す拡大部分断面図である。

【0020】まず、図1(a)、(b)により本実施例の半導体検査装置の構成を説明する。

【0021】本実施例の半導体検査装置は、たとえばウエハ上のチップのプローブ検査を行う半導体検査装置とされ、テストからの入力信号をウエハへ供給する入力用プローブカード（入力系信号用プローブカード）10と、チップからの出力信号をテストに伝送するための出力用プローブカード（出力系信号用プローブカード）20と、入力用プローブカード10を搭載するプローブカード用ステージ30と、ウエハを搭載するウエハ用ステージ40とによって構成されている。

【0022】入力用プローブカード10は、半導体ウエハ50の入力用パッド51に入力用プローブ針11を介して接続され、また入力信号を供給する図示しないテストに接続されている。この入力用プローブカード10は半導体ウエハ50上に固定され、入力用パッド51からテスト信号が供給されることにより短絡されたチップ60はすべて動作（テストング）状態になる。

【0023】出力用プローブカード20は、チップ60のチップ内出力パッド61に出力用プローブ針21を介して接続され、またチップ60からの出力信号の判定を行うテストへ接続されている。従来のプローブカード同様に半導体ウエハ50上を可動とすることができ、半導体ウエハ50上のチップ60を複数個ずつ測定していくものである。

【0024】半導体ウエハ50には、図2に示すように空領域の数カ所に入力用パッド51を設け、これとチップ内入力パッド62をアルミ配線70によって短絡し、入力用パッド51からテストング時の入力信号（アドレス、ライトイネーブル、アウトイネーブル、その他クロック、電源など）を全チップ60に供給することによって、複数のチップ60を同時に測定可能とされる。

【0025】入力用パッド51は、半導体ウエハ50の空領域の1カ所または数カ所に集中することにより、チップ60ごとに入力用パッド51を付ける必要はなくなる。

【0026】半導体ウエハ50上のアルミ配線70は、チップ60間のスクライプライン（ダイシングライン）の50～100 μ m幅に比べ、十分細く1～2 μ mの幅に作り、従ってスクライプ工程において、スクライプしたとき、アルミ配線70同士が干渉することはない。また、アルミ配線70の交差は、図3に示すように立体的に酸化膜（絶縁層）80などを間に挟み、絶縁することによって可能としている。

【0027】次に、本実施例の作用について説明する。

【0028】まず、オペレータは、ウエハ用ステージ40に搭載された半導体ウエハ50に対して入力用プローブカード10のアライメントを行い、さらに入力用プローブ針11を半導体ウエハ50の入力用パッド51に接触して、入力用プローブカード10を固定する。

【0029】次に、オペレータは、出力用プローブカード20を、半導体ウエハ50上の測定すべき複数のチップ60に対してアライメントを行い、出力用プローブ針21をその複数のチップ60のチップ内出力パッド61に接触する。

【0030】そして、入力信号は、入力用プローブカード10および入力用プローブ針11を通して半導体ウエハ50上の全チップ60に伝送され、これらのチップ60のプローブ検査が行われ、結果である出力信号が複数の測定対象のチップ60から出力用プローブ針21および出力用プローブカード20を介してテストに伝送され、チップ60の良否の判定が行われる。

【0031】この場合に、入力信号の伝送は、入力用パッド51から遠いほど遅くなるが、近いチップ60に遅延回路を付加することによって、チップ60間の伝達速度差を最小限にできる。

【0032】さらに、オペレータは、出力用プローブカード20を半導体ウエハ50上の別の複数のチップ60に移動して、測定すべきチップ60を替えて、プローブ検査を繰り返し行う。

【0033】従って、本実施例の半導体検査装置によれば、プローブカードを入力用プローブカード10と出力用プローブカード20に分け、入力用プローブカード10は固定し、出力用プローブカード20は半導体ウエハ50上を可動とすることによって、従来入力用プローブ

針11と出力用プローブ針21が同一プローブカード上に存在していたものを分けることができ、さらに半導体ウェハ50上のチップ60のテストによる同時測定数を増やすことができ、半導体検査工程のスループットを向上させることができる。

【0034】以上、本発明者によってなされた発明を実施例に基づき具体的に説明したが、本発明は前記実施例に限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは言うまでもない。

【0035】

【発明の効果】本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、下記のとおりである。

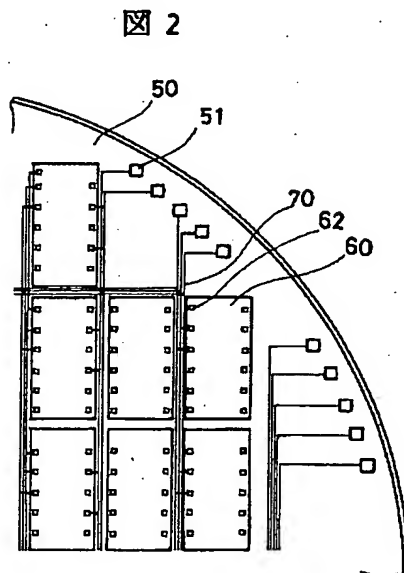
【0036】(1). 半導体検査工程の1つであるウェハ上のチップにおけるプローブ検査工程において、プローブカードを入力系信号用プローブカードと出力系信号用プローブカードに分けることにより、従来に比べてテストによるチップの同時測定数を増加させることができ、半導体検査工程のスループットを向上させることができる。

【0037】(2). チップの同時測定数が増えることにより、1枚のプローブカードに配置するプローブ針数が増えても、従来に比べて高密度になることなく、プローブ検査における測定精度を向上することができる。

【0038】(3). プローブ検査工程において、チップの同時測定数の向上により、外部測定器であるテストのスループットを向上することができる。

【0039】(4). ウェハ上において、複数チップの共通

【図2】



62 : チップ内入力パッド
70 : アルミ配線

した入力信号を短絡し、1カ所または数カ所に集合させ、その先端に入力用パッドを設けることにより、入力系信号用プローブカードのプローブ針数を低減することができ、プローブカードの高密度化を防止することができる。

【図面の簡単な説明】

【図1】(a), (b) は本発明の一実施例である半導体検査装置を示す平面図および断面図である。

10 【図2】本実施例におけるウェハを示す拡大部分平面図である。

【図3】本実施例におけるウェハを示す拡大部分断面図である。

【符号の説明】

10 入力用プローブカード (入力系信号用プローブカード)

11 入力用プローブ針

20 出力用プローブカード (出力系信号用プローブカード)

21 出力用プローブ針

30 プローブカード用ステージ

40 ウェハ用ステージ

50 半導体ウェハ

51 入力用パッド

60 チップ

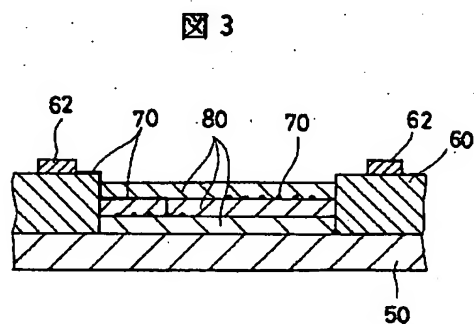
61 チップ内出力パッド

62 チップ内入力パッド

70 アルミ配線

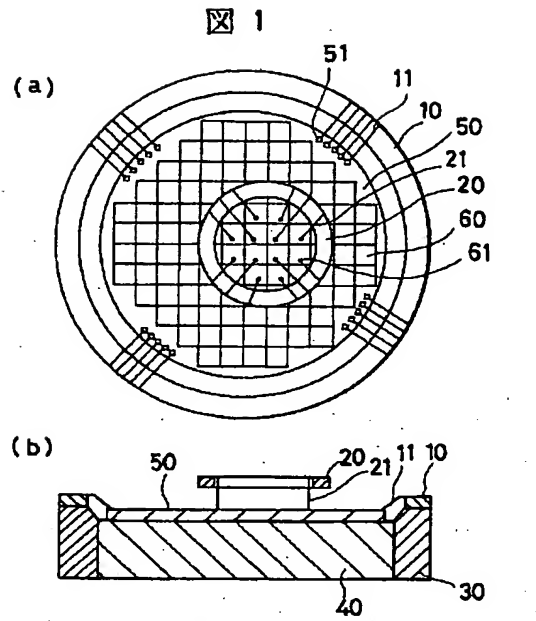
80 酸化膜 (絶縁層)

【図3】



80 : 酸化膜 (絶縁層)

【図 1】



- | | |
|--------------------------------|---------------|
| 10: 入力用プローブカード (入力系信号用プローブカード) | 50: 半導体ウェハ |
| 11: 入力用プローブ針 | 51: 入力用チップ |
| 20: 出力用プローブカード (出力系信号用プローブカード) | 60: チップ |
| 21: 出力用プローブ針 | 61: チップ内出力パッド |
| 30: プローブカード用ステージ | |
| 40: ウェハ用ステージ | |